

8 チャンネルロジックアナライザの製作 その2 40MHz化

目次

- 1 . はじめに
- 2 . 設計・製作
- 3 . 使用方法及び性能
- 4 . 終わりに
- 5 . 参考文献

添付資料

- (1) ロジックアナライザ40MHz回路図
- (2) プリント基板パターン図
ジャンピング配線有りと無し
- (3) メモリ、ロジック素子規格表抜き刷り
- (4) アセンブラ・ソースプログラム
40MHz用と10MHz用

1. はじめに

参考文献1で8チャンネルロジックアナライザの製作について報告をした。製作した装置の最高サンプリング速度は10MHzにとどまっていた。やはり10MHzではもの足りない。出来上がった回路図から、それほど変更を加えなくてもサンプリング速度の高速化が図れることがわかっていた。最高サンプリング周波数は10MHzではあるが、予定通り正常に動作するロジックアナライザを完成させることができたので、この自信のもとで、すぐに改良版ロジックアナライザの製作に取りかかった。最高サンプリング速度が40MHzのロジックアナライザを作り上げた。

以下で改良の内容について報告する。

2001年6月1日

2. 設計・製作

今回製作した40MHzロジックアナライザの回路その他はほぼ10MHzロジックアナライザと同じである。従って、設計・製作の詳細は参考文献1に譲る。ここでは、改良したロジックアナライザの回路図を図1に示しながら相違点についてのみ述べる。以降では参考文献1で紹介している10MHzロジックアナライザを10Mと、ここで紹介する40MHzロジックアナライザを40Mと呼称する。

サンプリング速度の高速化のために、次の点の変更を行った。

(1) 論理素子の変更

74HCシリーズを74ACシリーズに変更。HCとACは完全にピン互換性がある。HCシリーズの動作周波数は20MHz前後、ACシリーズは125MHz前後である。性能を大幅に向上させた高速素子であるACの値段は、それでもHCの値段とほぼ変わらない。

ところで74シリーズの標準論理素子であるHCシリーズは各種素子が提供されているが、ACシリーズはHCシリーズほど素子の種類は提供されていないことに注意する必要がある。HCシリーズの素子を全てACシリーズで置き換えることはできないのである。10Mで使用している、74HC4040に対応する「74AC4040」は生産されていない。40Mでは他の素子で代用するしかない。

10Mで使用している3個の12ビットバイナリカウンタ74HC4040は全てその特性通りバイナリカウンタとして動作させている。40Mではこれを4ビットバイナリカウンタが2つ内蔵されている74AC393で代用することにした。若干素子が増えることになった。

他のHCシリーズは全てACシリーズで交換することができた。

(2) メモリの変更

メモリの書き込み速度の目安は書き込みパルス幅 T_{wp} の値で推し量れる。10Mで使用したメモリHM6116LP-3のそれは90ns、周波数で見ると約11MHzである。40Mでは T_{wp} が10nsのHM62832UHL P-2を使用することにした。書き込

み速度は約 100 MHz である。このメモリは 32 k バイト × 8 ビットのものである。メモリは 2 k バイト × 8 ビットで充分である。何故、32 k バイトのものにしたか？理由は単純である。2 K バイトの高速メモリが手に入らず、32 k バイトの高速メモリが簡単に手に入ったからである。低メモリ容量の素子は規格表には記載されているが、メモリの最近のニーズ及び店での在庫は高容量かつ高速化された素子である。低容量・高速素子は入手困難である。

これら 2 つのメモリのピン端子に互換性がないので、回路図及びプリントパターンに若干の変更が必要となった。

10 M のロジックアナライザ回路に以上の変更を加えることで、サンプリング周波数 100 MHz 以上で動作するロジックアナライザになるように思われる。が、このような変更を加えても図 1 の回路では決して 100 MHz では動作してくれない。その原因は、書き込み時にメモリのアドレスをアップさせるのに使用している多段バイナリカウンタの応答遅延にある。2 k バイトメモリのアドレス指定のために、11 ビットが必要である。回路図からわかるように、バイナリカウンタを 11 ビット分連結し、11 ビットアドレスカウンタとして使用している。バイナリカウンタの動作においては、低位ビットから高位ビットにかけて順々に動作タイミングのずれが生ずる。この遅延時間は使用するビット数だけ積算されるのである。例えば、バイナリカウンタ 1 ビット当たりの遅延時間を 1 ns としても、11 ビット使用するならば、11 ns の遅延時間となる。動作周波数 100 MHz のメモリを使用しているにもかかわらず、メモリアドレスのアップで取りこぼしが発生することになる。

アドレスカウンタのこの時間遅延問題の解決方法はメモリバンク方式を採用することで解決できる。メモリバンク方式を用いたロジックアナライザの解説は参考文献 2 が詳しい。2 個のメモリを用い、入力データをラッチ回路で取り込み、メモリに交互に書き込む方法である。両メモリのアドレスはアドレスカウンタで同時にアップさせるが、交互に書き込みをするので許容される時間遅延は 2 倍となる。メモリを更に多数用いれば、メモリの書き込み動作周波数までサンプリング時間を上げることができる。容易に 100 MHz のロジックアナライザとすることができる。ここではメモリバンク方式を採用すると、回路の大幅な変更をしなければならないこと理由から、この方式は採用しないことにした。

(3) 表示部の改良

先の10Mでは時間軸である横軸で簡単に時間スケールを読みとるようにはなっていなかった。改善として、画面中にサンプリング時間数値とその時間スケールバーを表示させることにした。図2が前回での解析時のLCD画面、図3が改良版である。画面右下隅に、サンプリング周波数と共にサンプリング時間数値を表示させる。データ表示領域の下部にこの時間数値に対応する時間スケールをバーの長さで描写させることにした。

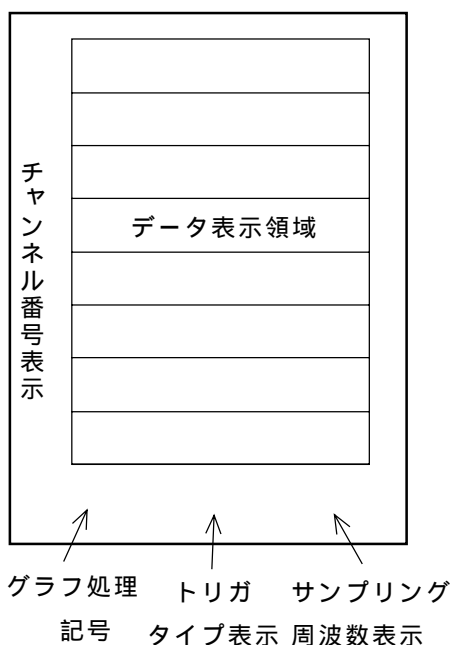


図2 前回の解析時LCD画面

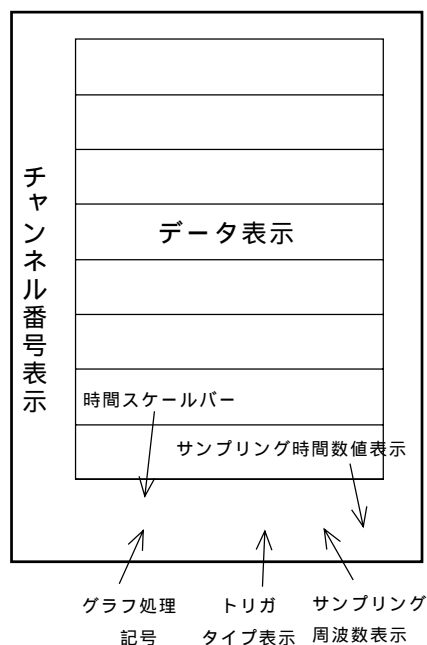


図3 改良した解析時のLCD画面

3. 使用方法及び性能

装置の外見は全く10Mと同じである。使用方法も10Mと同じである。性能もサンプリング周波数以外は同じである。使用方法

(1) 40Mの性能

入力信号レベル	Lレベル 0V、Hレベル +5V
入力チャンネル数	8つ
メモリ容量	各チャンネル2048点
サンプリング周波数	40M、5.0M、625k、78k、9.8k、1.2k、152、19 (8分の1スケールダウン)
グラフ処理機能	左右移動、拡大、縮小、復元

(2) サンプリング周波数40MHzでの動作における留意事項

サンプリング周波数を40MHzとしたとき、メモリアドレスの10ビット当たりで、アドレスの指定取りこぼし現象が見られる。LCD画面には周期的な髭パルスとして見てとれる。LCD画面に表示するデータのアドレス値が10ビット指定アドレス以下ならば何らの問題もなく、正常に観測測定できる。それ以上でもこの現象を頭に入れておけば、

それほど問題はないと思う。

4 . 終わりに

更なるサンプリング速度の高速化は、メモリバンク方式を用いれば容易に実現できよう。入力データのラッチ回路、複数個のメモリを使用することになる。

今後、それをやるかどうかは今のところ考えてはいない。

参考文献

- (1) 「 8 チャンネルロジックアナライザの製作 」 金野 茂男
- (2) 「ロジックスコープの製作」石川克樹、トランジスタ技術 Special、N 0 . 1 9、
p 8 2 ~ 8 8、C Q 出版社